

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000148502 A

(43) Date of publication of application: 30 . 05 . 00

(51) Int. Cl

G06F 9/445

(21) Application number: 10320819

(71) Applicant: NEC CORP

(22) Date of filing: 11 . 11 . 98

(72) Inventor: NONAKA HAJIME

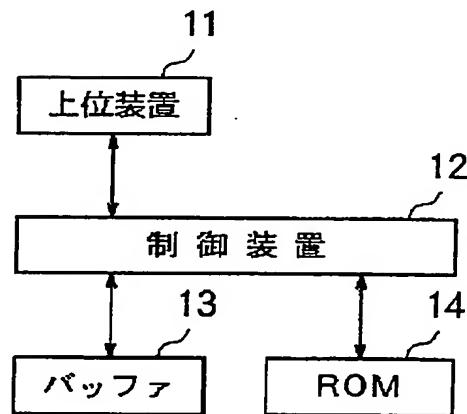
(54) METHOD FOR WRITING FIRMWARE DATA

(57) Abstract:

PROBLEM TO BE SOLVED: To more shorten communication time to be required for writing firmware data transmitted from a master device in a storage device through a controller.

SOLUTION: The firmware data writing method for writing firmware data transmitted from a master device 11 in a read-only memory(ROM) 14 through a buffer 13 provided with a controller 12 has a step for dividing the firmware data to be written in the buffer 13 into plural partial data and discriminating whether each partial data are invalid partial data or valid partial data and a step for transmitting a buffer writing command obtained by adding writing position information in the buffer 13 to each valid partial data to the controller 12.

COPYRIGHT: (C)2000,JPO



・ (19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-148502

(P2000-148502A)

(43)公開日 平成12年5月30日 (2000.5.30)

(51)Int.Cl.  
G 0 6 F 9/445

識別記号

F I  
G 0 6 F 9/06

テーマコード(参考)

4 2 0 M 5 B 0 7 6

審査請求 有 請求項の数4 OL (全7頁)

(21)出願番号 特願平10-320819

(22)出願日 平成10年11月11日 (1998.11.11)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者

野中 雄

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(74)代理人 100096231

弁理士 稲垣 清

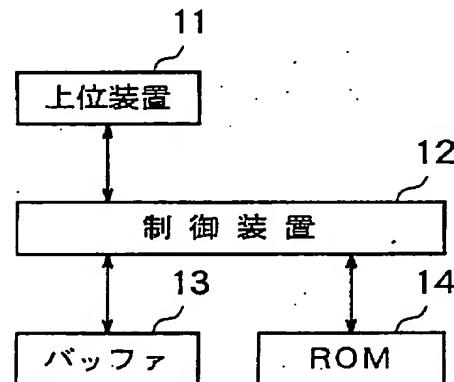
Fターム(参考) 5B076 BB06 EA03 EB03

(54)【発明の名称】 ファームウェアデータの書き込み方法

(57)【要約】

【課題】 上位装置から送信したファームウェアデータを制御装置を介して記憶装置に書き込む際の通信時間をより短縮させることができるファームウェアデータの書き込み方法を提供する。

【解決手段】 上位装置11から送信したファームウェアデータを、制御装置12に備えたバッファ13を経由してROM14に書き込むファームウェアデータの書き込み方法は、バッファ13に書き込むべきファームウェアデータを複数の部分データに分割し各部分データを無効部分データと有効部分データとに判別するステップと、有効部分データにバッファ13への書き込み位置情報を付加したバッファ書き込みコマンドを制御装置12に送信するステップとを有している。



作を終了する。一方、全ての部分データが正当である場合には、制御装置22は、バッファ23内の全てのデータをROM24に書き込み(ステップA42)、アップデータを終了する。

【0009】

【発明が解決しようとする課題】ところで、上記従来のアップデータ方式には次のような問題点があった。例えば、上位装置21から制御装置22に送信されるファームウェアデータは、100バイトの部分データ1000個から成る1000000バイトと、各部分データに付加された1バイトのコマンド部と各4バイトの書き込み開始位置部及び書き込み終了位置部とから成るコマンド2を含んでいる。このファームウェアデータを送信する際に、通信レートが例えば19200bpsであると、ファームウェアデータ全体の送信には、 $(1+4+4+100) \times 10000 \times 8$ (ビット)  $\div 19200 = 454$ (秒)という多大な通信時間が必要であった。

【0010】本発明は、上記に鑑み、上位装置から送信したファームウェアデータを制御装置を介して記憶装置に書き込む際の通信時間をできるだけ短縮させることができるようにファームウェアデータの書き込み方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するためには、本発明のファームウェアデータの書き込み方法は、上位装置から送信したファームウェアデータを、制御装置に備えたバッファを経由して記憶装置に書き込むファームウェアデータの書き込み方法において、前記バッファに書き込むべきファームウェアデータを複数の部分データに分割し各部分データを無効部分データと有効部分データとに判別するステップと、前記有効部分データに前記バッファへの書き込み位置情報を付加したバッファ書き込みコマンドを前記制御装置に送信するステップとを有することを特徴とする。

【0012】従来方式では、複数の部分データに含まれる有効部分データ及び無効部分データをすべて送信したのに対し、本発明の書き込み方法では、ファームウェアデータを予め解析して無効部分データと有効部分データとに分割し、有効部分データのみに書き込み位置情報を付加してバッファ書き込みコマンドとして送信する。これにより、実際に送信するデータのバイト数を減少させることができ、上位装置から送信したファームウェアデータを記憶装置に書き込む際の通信時間が大幅に短縮する。

【0013】ここで、前記部分データの判別ステップに先立って、前記バッファをクリアするクリアコマンドを発生するステップを含むことが好ましい。これにより、後続するファームウェアデータの書き込み処理が円滑になる。

【0014】また、前記有効部分データの送信ステップに後続して、前記バッファに書き込まれた有効部分データを前記記憶装置に書き込むための書き込みコマンドを前記上位装置から前記制御装置に送信するステップを更に含むことが好ましい。これにより、バッファに一旦書き込んだ有効部分データを記憶装置に速やかに書き込むことができる。

【0015】好ましくは、前記書き込みコマンドの送信に先立って、前記バッファに書き込まれた有効部分データの良否を判定し、該有効部分データが不良の場合に、前記上位装置から前記制御装置に前記バッファ書き込みコマンドを送信するステップを更に含む。これにより、バッファに書き込まれた有効部分データが不良の場合に、バッファ書き込みコマンドを再度送信することができる、それまでバッファに良好に書き込まれた有効部分データを無駄にすることなく、処理を引き続き実行することができる。

【0016】

【発明の実施の形態】図面を参照して本発明を更に詳細に説明する。図1は、本発明の第1実施形態例におけるファームウェアデータのアップデータ方式(書き込み方法)を説明するためのブロッギング図である。同図において、制御装置1-2はバッファ1-3を備えており、制御装置1-2には、上位装置1-1と、書換え可能なフラッシュ型ROM等のROM1-4とが夫々接続されている。

【0017】上位装置1-1は、ファームウェアデータの解析、及び、制御装置1-2との通信を行う。制御装置1-2は、上位装置1-1との間で通信を行い、上位装置1-1から受け取ったコマンド情報に基づいて、バッファ1-3及びROM1-4に対するファームウェアデータの読み出し/書き込み処理を行う。

【0018】バッファ1-3には、ファームウェアデータが、制御装置1-2によって一時的に読み出し/書き込み処理される。ROM1-4には、バッファ1-3に一時的に書き込まれたファームウェアデータが制御装置1-2によって書き込まれる。また、ROM1-4内のファームウェアデータを制御装置1-2が読み込むことにより、制御装置1-2自身がアップデータされる。

【0019】上記アップデータ方式では、概ね次のように処理が進む。すなわち、上位装置1-1が、予めバッファ1-3を特定のデータパターンで書き込みできるよう、対応するコマンドを制御装置1-2に送信すると、上位装置1-1が、ファームウェアデータを複数の部分データに分割し、各部分データの有効/無効の判定を行う。この結果、上位装置1-1は、部分データが特定のデータパターンでない有効部分データの場合には、この部分データの書き込み開始位置の情報、書き込み終了位置の情報及びコマンド部から成るコマンドを制御装置1-2に送信する。一方、部分データが特定のデータパターンである無効部分データの場合には、上位装置1-1はコマンドの送信を行わない。

【0020】制御装置1-2は、コマンドを受信した場合

7  
ータ1は、部分データ1から部分データ10000までの10000個の部分データに分割される。この内で、例えば、部分データ2と、5000から9.999までの各部分データとが夫々、FFで書かれたデータであるとする。

【0031】また、上位装置11と制御装置12との通信手段としては、標準インタフェースであるRS232Cを用いるとする。この場合、上位装置11から制御装置12へコマンド1を送信すると、コマンド1を受け取った制御装置12は、バッファ13内をFFでクリアする。バッファ13のクリア処理が正常終了した場合、制御装置12は、上位装置11に正常終了した旨の信号を送信する。

【0032】正常終了の旨の信号を受信した上位装置11は、部分データ1のチェックを行う。この場合、図5に示すように、部分データ1は、内部の100バイトのデータが全てFFではないので、上位装置11は、部分データ1を有効部分データとして判定し、コマンド部が2で、書き込み開始位置部が1及び書き込み終了位置部が100の書き込み位置情報を部分データ1に付加してコマンド2とし、制御装置12に送信する。

【0033】制御装置12は、コマンド2を受け取ると、バッファ13内の書き込み開始位置部1から書き込み終了位置部100の範囲に、受け取った部分データ1を書き込む。更に、書き込み処理が正常終了したか否かを判定し、正常終了した場合には、制御装置12は、正常終了した旨の信号を上位装置11に送信する。

【0034】上位装置11は、正常終了の信号を受信すると、有効な全ての部分データを送信したか否かを判定する。このとき、まだ1つの部分データしか送信していないので、次の部分データ2に対するチェックを行う。

【0035】更に、全てのデータがFFから成る部分データ2を無効部分データと判定するので、この部分データ2の送信は行わず、上位装置11は、全ての部分データの送信が終了したか否かを判定する。この場合、まだ部分データ2までしか終了していないので、次の部分データ3に対するチェックを行う。

【0036】以下、部分データ10000まで上記処理を繰り返し実行し、制御装置12に全ての有効部分データの送信を終了した時点で、上位装置11はコマンド3を制御装置12に送信する。

【0037】次いで、制御装置12は、コマンド3を受け取ると、バッファ13内に書き込まれた全てのデータの正当性を判定し、正当である場合には、バッファ13内に一時的に書き込んだ全ての有効部分データをROM14に書き込む。

【0038】次いで、本発明の第2実施形態について説明する。図6は、本実施形態における上位装置11側の動作を示すフローチャートである。同図は、第1実施形態における図2のフローチャートと、ステップA

5で正常終了の信号を受信しなかった場合の処理が異なる。図6と、第1実施形態で用いた図3～5とを参照して本実施形態を説明する。

【0039】本実施形態においても、上位装置11と制御装置12との通信手段にRS232Cを用いるとする。例えば、上位装置11から制御装置12に対し、部分データ9999までの送信が終了し(図6のステップA25～A28)、制御装置12が、部分データ9999のバッファ13への書き込みを正常終了したとする(図3のステップA8～A14)。これにより、上位装置11が、図6のステップA29で正常終了の旨の信号を制御装置12から受信すると、ステップA30で全ての有効部分データの送信をチェックした後に、ステップA27で、次の部分データ10000のチェックを行う。

【0040】この場合、図5に示すように、部分データ10000の内容は全てがFFということではないので、上位装置11は、部分データ10000を有効部分データ判定し、コマンド部が2で、書き込み開始位置部が999901、書き込み終了位置部が1000000、部分データが10000から成るコマンド2として制御装置12に送信する(図6のステップA28)。制御装置12は、コマンド2を受信すると(図3のステップA12)、バッファ13に部分データ10000を書き込む(ステップA13)。

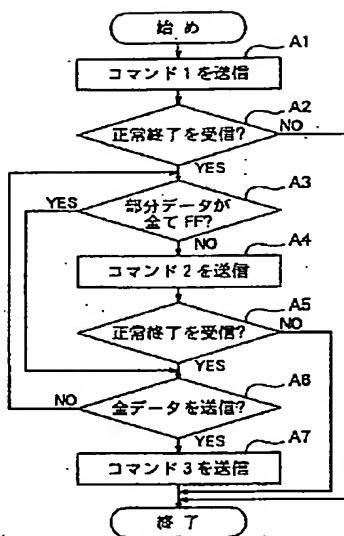
【0041】ここで、何らかの理由で部分データ10000の書き込み処理が異常終了、つまり、書き込み後の部分データ10000に異常がある場合には(図3のステップA14)、上位装置11は、制御装置12から正常終了の旨の信号を受信することができないので(図6のステップA29)、ステップA28を繰り返し、同一のコマンド2を制御装置12に再度送信する。

【0042】制御装置12は、図3のステップA14の結果で全動作を終了した後、始めに戻り、図3のステップA8のN○を経由し、ステップA12で、上位装置11からのコマンド2を受信する。次いで、バッファ13への部分データ10000の書き込みが成功したならば(ステップA14)、上位装置11に正常終了の旨の信号を送信する(ステップA15)。

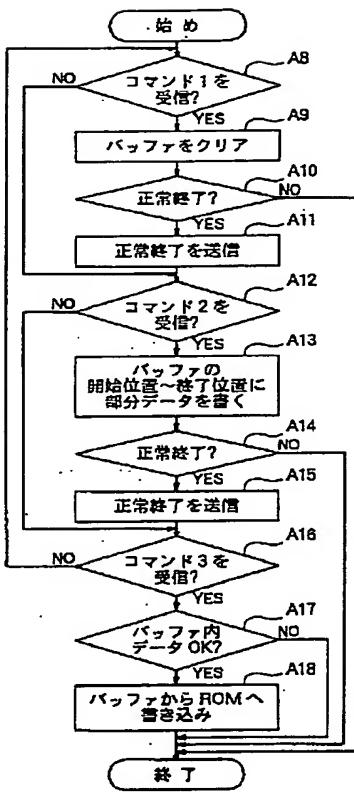
【0043】更に、上位装置11が、正常終了した旨の信号を制御装置12から受信すると(図6のステップA29)、次いで、有効な全ての部分データを送信したか否かのチェックを行う(ステップA30)。この場合、部分データ10000が送信され、正常に終了したので、上位装置11は、制御装置12にコマンド3を送信する(ステップA31)。

【0044】制御装置12は、コマンド3を受け取ると(図3のステップA16)、バッファ13内に書き込まれた全ての有効部分データの正当性を判定する(ステップA17)。この結果、全ての有効部分データが正当であれば、バッファ13内の全ての有効部分データをROM

【図2】



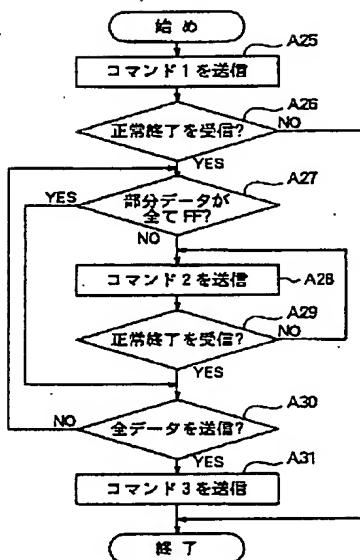
【図3】



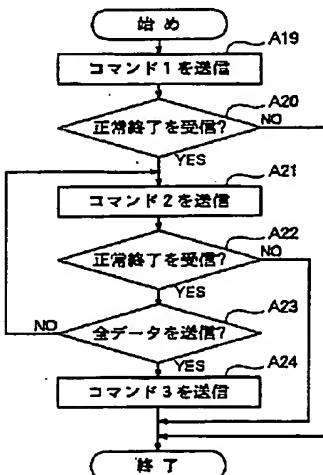
【図5】

全データ1				
1	2	3	4	...
01	02	00	0F	...
FF	FF	FF	FF	...
03	12	AA	B0	...
01	02	00	0F	...
FF	FF	FF	FF	...
FF	FF	FF	FF	...
FF	FF	FF	FF	...
01	02	00	0F	...

【図6】



【図8】



【図9】

